

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-332598**

(43)Date of publication of application : **30.11.2000**

(51)Int.Cl.

H03K 19/20

H03K 19/0944

(21)Application number : **11-135088**

(71)Applicant : **mitsubishi electric corp**

(22)Date of filing : **17.05.1999**

(72)Inventor : **Oishi Tsukasa**

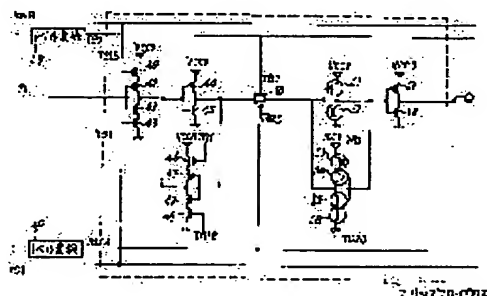
Hidaka Hideto

(54) RANDOM LOGIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To save the electric power in sleep mode by turning off the power source of a specific circuit in sleep mode and providing a sub-threshold leakage current preventing means between a front-stage and a rear-stage latch.

SOLUTION: The front-stage latch part and rear-stage latch part of a flip-flop circuit are separated by a transfer gate 50, which is controlled with a control signal TG2 generated in synchronism with a basic clock and its inverted signal TG2B. In sleep mode, the electric power VCC0 supplied to an input part, the front-stage latch part, and an output part is turned off to hold data by the rear-stage latch part, and voltages which are lower and higher than the VSS level are generated by level converting circuits 59 and 60 to apply a negative potential to the respective gates of the transfer gate 50. Leak currents of respective transistors are prevented and the data can be held by the rear-stage latch part to prevent a leakage current flowing to the front-stage latch part in a power-off state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332598

(P2000-332598A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷

H 0 3 K 19/20
19/0944

識別記号

F I

H 0 3 K 19/20
19/094

テーマコード (参考)

5 J 0 4 2
A 5 J 0 5 6

審査請求 未請求 請求項の数19 O L (全 12 頁)

(21) 出願番号

特願平11-135088

(22) 出願日

平成11年5月17日 (1999. 5. 17)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

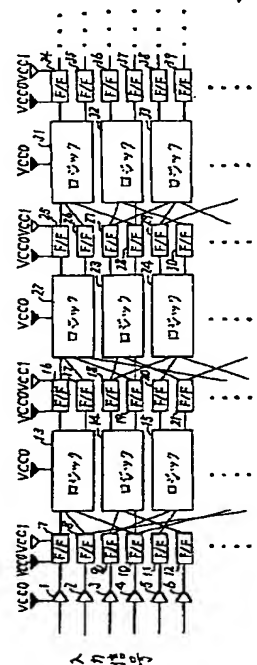
最終頁に続く

(54) 【発明の名称】 ランダムロジック回路

(57) 【要約】

【課題】 スリープモード時におけるサブスレッショルドリーク電流を防止したランダムロジック回路を得る。

【解決手段】 データを入力する入力部40～43と、入力部40～43から出力されたデータを受け取り、保持して、出力する第1のラッチ部44～49と、第1のラッチ部44～49から出力されたデータを受け取り、保持して、出力する第2のラッチ部51～56と、第2のラッチ部51～56から出力されたデータを受け取り、ロジック回路に出力する出力部57～58と、スリープモード時に、第1のラッチ部44～49と第2のラッチ部51～56との間で発生するサブスレッショルドリーク電流を防止するためのサブスレッショルドリーク電流防止回路50とを備えたものである。



【特許請求の範囲】

【請求項1】データを入力する入力部と、
前記入力部から出力されたデータを受け取り、保持して、出力する第1のラッチ部と、
前記第1のラッチ部から出力されたデータを受け取り、保持して、出力する第2のラッチ部と、
前記第2のラッチ部から出力されたデータを受け取り、ロジック回路に出力する出力部と、
スリープモード時に、前記第1のラッチ部と前記第2のラッチ部との間で発生するサブスレッショルドリーク電流を防止するためのサブスレッショルドリーク電流防止回路とを備えたことを特徴とするランダムロジック回路。

【請求項2】前記スリープモード時に、前記入力部、前記第1のラッチ部、前記出力部は、ノーマルモード時に供給される電源がそれぞれオフされることを特徴とする請求項1記載のランダムロジック回路。

【請求項3】前記サブスレッショルドリーク電流防止回路は、前記第1のラッチ回路と前記第2のラッチ部との間に接続された第1のトランジスタで構成され、前記スリープモード時に、前記第1のトランジスタのゲートに負電圧が供給されることを特徴とする請求項1記載のランダムロジック回路。

【請求項4】前記第1のトランジスタは、NMOSトランジスタとPMOSトランジスタとから構成され、前記スリープモード時に、前記NMOSトランジスタのゲートには、VSSレベルに対して低い電圧が供給され、前記PMOSのゲートには、VCCレベルに対して高い電圧が供給されることを特徴とする請求項3記載のランダムロジック回路。

【請求項5】前記第2のラッチ部を構成するトランジスタのしきい値電圧は、前記第1のラッチ部を構成するトランジスタのしきい値電圧よりも高く設定されていることを特徴とする請求項4記載のランダムロジック回路。

【請求項6】前記第2のラッチ部は、第1の差動増幅器から成り、
前記サブスレッショルドリーク電流防止回路は、第2のトランジスタで構成され、前記第1のラッチ回路と前記第1の差動増幅器との間に接続され、前記第1のラッチ部から出力されたデータが、前記第2のトランジスタのゲートに供給されることを特徴とする請求項1記載のランダムロジック回路。

【請求項7】前記スリープモード時に、前記入力部、前記第1のラッチ部、前記出力部は、ノーマルモード時に供給される電源がそれぞれオフされることを特徴とする請求項6記載のランダムロジック回路。

【請求項8】前記サブスレッショルドリーク電流防止回路は、前記第1のラッチ部と前記第1の差動増幅器との間に接続された第3のトランジスタを含み、前記第1のラッチ回路から出力された相補的なデータが、前記第2

のトランジスタの前記ゲートと前記第3のトランジスタのゲートとに、それぞれ供給されることを特徴とする請求項6記載のランダムロジック回路。

【請求項9】前記第2のトランジスタは、前記ノーマルモード時に、その一端に、第1の電圧が供給され、前記スリープモード時には、前記第2のトランジスタの前記ゲートの電圧よりも高い第2の電圧が供給されることを特徴とする請求項6記載のランダムロジック回路。

【請求項10】前記第1の差動増幅器の第1の端子は、前記ノーマルモード時に、前記第1の電圧が供給され、前記スリープモード時には、前記第2のトランジスタの前記ゲートの電圧よりも高い第3の電圧が供給されることを特徴とする請求項9記載のランダムロジック回路。

【請求項11】前記第1の差動増幅器の第2の端子は、前記ノーマルモード時に、前記第2の電圧が供給され、前記スリープモード時には、前記第2の電圧よりも高い第4の電圧が供給されることを特徴とする請求項10記載のランダムロジック回路。

【請求項12】前記第3の電圧は、前記第1の電圧と前記第2の電圧との間に設定されることを特徴とする請求項11記載のランダムロジック回路。

【請求項13】前記第1の差動増幅器を構成するトランジスタのしきい値電圧は、前記第1のラッチ部を構成するトランジスタのしきい値電圧よりも高く設定されていることを特徴とする請求項12記載のランダムロジック回路。

【請求項14】前記入力部は、バストラジスタロジック回路で構成され、
前記第1のラッチ部は、第2の差動増幅器で構成され、前記バストラジスタロジック回路と前記第2の差動増幅器との間に接続され、前記バストラジスタロジック回路から出力されたデータがゲートに供給される第4のトランジスタとを備えたことを特徴とする請求項6記載のランダムロジック回路。

【請求項15】前記バストラジスタロジック回路と前記第2の差動増幅器との間に接続された第5のトランジスタを含み、前記バストラジスタロジック回路から出力された相補的なデータが、前記第4のトランジスタの前記ゲートと前記第5のトランジスタのゲートとに、それぞれ供給されることを特徴とする請求項14記載のランダムロジック回路。

【請求項16】前記第4のトランジスタは、前記ノーマルモード時に、その一端に、第5の電圧が供給され、前記スリープモード時には、前記第4のトランジスタの前記ゲートの電圧よりも高い第6の電圧が供給されることを特徴とする請求項14記載のランダムロジック回路。

【請求項17】前記第2の差動増幅器の第1の端子は、前記ノーマルモード時に、前記第5の電圧が供給され、前記スリープモード時には、前記第4のトランジスタの前記ゲートの電圧よりも高い第7の電圧が供給されるこ

10

20

30

40

50

とを特徴とする請求項16記載のランダムロジック回路。

【請求項18】前記第2の差動増幅器の第2の端子は、前記ノーマルモード時に、前記第6の電圧が供給され、前記スリープモード時には、前記第6の電圧よりも高い第8の電圧が供給されることを特徴とする請求項17記載のランダムロジック回路。

【請求項19】前記第7の電圧は、前記第5の電圧と前記第6の電圧との間に設定されることを特徴とする請求項18記載のランダムロジック回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ランダムロジック回路に関し、特に、スリープモード時におけるサブスレッシュヨルドリーク電流を防止したランダムロジック回路に関するものである。

【0002】

【従来の技術】近年のLSIでは、動作電源電圧の低減化が進められており、このLSIを動作させるために、LSIの内部回路を構成するトランジスタのしきい値電圧を低下させる技術が使用されている。しかしながら、トランジスタのしきい値電圧の低下に伴い、サブスレッシュヨルドリーク電流が増大するので、それを如何に防止させるかが重要となってきた。

【0003】半導体メモリにおいては、スタンバイサイクル時に、内部回路におけるサブスレッシュヨルドリーク電流を低減させるために、階層電源システムという技術が開発されている。図10は、階層システムを示した図である。複数段接続されたインバータ(X1、X2、X3)から成る内部回路において、各インバータは、CMOSで構成され、PMOSTランジスタおよびNMOSTランジスタのそれぞれのソースは、図10に示すように、スタンバイサイクル時の状態に応じて、メイン電源線L1、サブ電源線L2、メイン接地線L3、サブ接地線L4に接続されている。スタンバイサイクル時に、ゲートに負電位を印加して、内部回路に発生するサブスレッシュヨルドリーク電流を低減させる方式である。

【0004】また、MTCMOS回路においては、スリープモード時におけるサブスレッシュヨルドリーク電流を低減させるために、内部回路の電源を切るという方式がある。この場合、バルーン回路と呼ばれるラッチ回路を内部回路に接続し、内部回路に入力されたデータはバルーン回路にも入力される構成となっている。スリープモード時に、内部回路の電源がオフ状態になった時に、内部回路とバルーン回路とは切り離され、内部回路に入力されたデータは消えてしまうが、バルーン回路に同じデータが待避しているので、電源がオン状態となった時に、バルーン回路から内部回路にデータを伝えることができる。

【0005】ここで、ランダムロジック回路について説

明する。図11は、従来のランダムロジックの構成を示した図である。F/Fは、フリップフロップ回路を示し、前段のロジック回路からのデータを受け取り、保持して、次段のロジック回路へ出力する回路である。200~205は、バッファ回路、206~211は、フリップフロップ回路、212~214は、ロジック回路、215~220は、フリップフロップ回路、221~223は、ロジック回路、224~229は、フリップフロップ回路、230~232は、ロジック回路、233~238は、フリップフロップ回路である。バッファ回路200~205に入力された入力信号は、フリップフロップ回路206~211にそれぞれ入力され、保持される。保持されたデータは、処理内容に応じて、ロジック回路212~214に出力される。ロジック回路212~214で処理された結果は、フリップフロップ回路215~220に出力され、保持される。このように、順々に、後段に接続されたロジック回路とフリップフロップ回路により、データ処理が実施される。

【0006】図12は、図11のフリップフロップ回路の構成を示した図である。フリップフロップ回路は、図示しない制御回路による相補的な2相クロック(CKB信号およびCK信号)により制御され、データの保持動作とシフト動作が実行される。前段のロジック回路あるいはバッファ回路からのデータは、入力端子Dに入力され、CKB信号の活性化期間中(CK信号は非活性)に、インバータ239を介して、前段のラッチ部に入力される。前段のラッチ部は、インバータ240およびインバータ241で構成される。次に、データは、CK信号の活性化期間中(CKB信号は非活性)に、前段のラッチ部に保持されるとともに、トランスファゲート242を介して、後段のラッチ部に伝達され、インバータ243、245を介して、出力端子Qから出力される。後段のラッチ部は、インバータ243およびインバータ244で構成される。次のCKB信号の活性化期間中(CK信号の非活性化)に、トランスファゲート242から出力されているデータを後段のラッチ部に保持する。

【0007】

【発明が解決しようとする課題】上記のように、半導体メモリやMTCMOS回路に関しては、スタンバイサイクル時やスリープモード時などにおけるサブスレッシュヨルドリーク電流の防止策があるが、ランダムロジック回路については、これらの防止策は適用できないという問題点があった。つまり、スリープモード時に、フリップフロップ回路に保持されるデータは、前段のロジック回路での処理内容により変化するので、半導体メモリのように画一的なものではなく、ランダムロジック回路に、階層システムを採用しても、入力データによっては、サブスレッシュヨルドリーク電流を防止することができないという問題点があった。更に、バルーン回路を設ける場

10

20

30

40

50

合、通常のアクセスの信号経路以外に、データのバスを確立させる必要があり、ランダムロジック回路の内部回路の制御が複雑になるという問題点があった。

【0008】この発明は、上述のような課題を解決するためになされたものであり、サブスレッシュドリーク電流を防止したランダムロジック回路を得ることを目的とするものである。

【0009】

【課題を解決するための手段】この発明に係るランダムロジック回路は、データを入力する入力部と、入力部から出力されたデータを受け取り、保持して、出力する第1のラッチ部と、第1のラッチ部から出力されたデータを受け取り、保持して、出力する第2のラッチ部と、第2のラッチ部から出力されたデータを受け取り、ロジック回路に出力する出力部と、スリープモード時に、第1のラッチ部と第2のラッチ部との間で発生するサブスレッシュドリーク電流を防止するためのサブスレッシュドリーク電流防止回路とを備えたものである。

【0010】また、スリープモード時に、入力部、第1のラッチ部、出力部は、ノーマルモード時に供給される電源がそれぞれオフされる。

【0011】また、サブスレッシュドリーク電流防止回路は、第1のラッチ回路と第2のラッチ部との間に接続された第1のトランジスタで構成され、スリープモード時に、第1のトランジスタのゲートに負電圧が供給される。

【0012】また、第1のトランジスタは、NMOSTトランジスタとPMOSTトランジスタとから構成され、スリープモード時に、NMOSTトランジスタのゲートには、VSSレベルに対して低い電圧が供給され、PMOSのゲートには、VCCレベルに対して高い電圧が供給される。

【0013】また、第2のラッチ部を構成するトランジスタのしきい値電圧は、第1のラッチ部を構成するトランジスタのしきい値電圧よりも高く設定されている。

【0014】また、第2のラッチ部は、第1の差動増幅器から成り、サブスレッシュドリーク電流防止回路は、第2のトランジスタで構成され、第1のラッチ回路と第1の差動増幅器との間に接続され、第1のラッチ部から出力されたデータが、第2のトランジスタのゲートに供給される。

【0015】また、上述の第1の差動増幅器を有するランダムロジック回路において、スリープモード時に、入力部、第1のラッチ部、出力部は、ノーマルモード時に供給される電源がそれぞれオフされる。

【0016】また、サブスレッシュドリーク電流防止回路は、第1のラッチ部と第1の差動増幅器との間に接続された第3のトランジスタを含み、第1のラッチ回路から出力された相補的なデータが、第2のトランジスタのゲートと第3のトランジスタのゲートとに、それぞれ

供給される。

【0017】また、第2のトランジスタは、ノーマルモード時に、その一端に、第1の電圧が供給され、スリープモード時には、第2のトランジスタのゲートの電圧よりも高い第2の電圧が供給される。

【0018】また、第1の差動増幅器の第1の端子は、ノーマルモード時に、第1の電圧が供給され、スリープモード時には、第2のトランジスタのゲートの電圧よりも高い第3の電圧が供給される。

【0019】また、第1の差動増幅器の第2の端子は、ノーマルモード時に、第2の電圧が供給され、スリープモード時には、第2の電圧よりも高い第4の電圧が供給される。

【0020】また、第3の電圧は、第1の電圧と第2の電圧との間に設定される。

【0021】また、第1の差動増幅器を構成するトランジスタのしきい値電圧は、第1のラッチ部を構成するトランジスタのしきい値電圧よりも高く設定されている。

【0022】また、入力部は、バストランジスタロジック回路で構成され、第1のラッチ部は、第2の差動増幅器で構成され、バストランジスタロジック回路と第2の差動増幅器との間に接続され、バストランジスタロジック回路から出力されたデータがゲートに供給される第4のトランジスタとを備えたものである。

【0023】また、バストランジスタロジック回路と第2の差動増幅器との間に接続された第5のトランジスタを含み、バストランジスタロジック回路から出力された相補的なデータが、第4のトランジスタのゲートと第5のトランジスタのゲートとに、それぞれ供給される。

【0024】また、第4のトランジスタは、ノーマルモード時に、その一端に、第5の電圧が供給され、スリープモード時には、第4のトランジスタのゲートの電圧よりも高い第6の電圧が供給される。

【0025】また、第2の差動増幅器の第1の端子は、ノーマルモード時に、第5の電圧が供給され、スリープモード時には、第4のトランジスタのゲートの電圧よりも高い第7の電圧が供給される。

【0026】更に、第2の差動増幅器の第2の端子は、ノーマルモード時に、第6の電圧が供給され、スリープモード時には、第6の電圧よりも高い第8の電圧が供給される。

【0027】更にまた、上述のバストランジスタロジック回路を有するランダムロジック回路において、第7の電圧は、第5の電圧と第6の電圧との間に設定される。

【0028】

【発明の実施の形態】実施の形態1. 図1は、この発明の実施の形態1であるランダムロジック回路の構成を示した図である。図1において、F/Fは、フリップフロップ回路を示す。1～6は、バッファ回路、7～12は、フリップフロップ回路、13～15は、ロジック回

路、16～21は、フリップフロップ回路、22～24は、ロジック回路、25～30は、フリップフロップ回路、31～33は、ロジック回路、34～39は、フリップフロップ回路である。

【0029】ランダムロジック回路の外部からの入力信号（データ）は、バッファ回路1～6、フリップフロップ回路7～12、ロジック回路13～15、フリップフロップ回路16～21、ロジック回路22～24、フリップフロップ回路25～30、ロジック回路31～33、そして、フリップフロップ回路34～39の順に、10 処理される。フリップフロップ回路は、バッファ回路あるいはロジック回路から出力されたデータを保持して、次に接続されているロジック回路へ出力する。フリップフロップ回路は、図示されているように、次のデータ処理のために必要なロジック回路へ接続されている。VCC0は、電源を示し、ランダムロジック回路のノーマルモード時には、オン状態であるが、スリープモード時には、オフ状態となる。VCC1は、電源を示し、ランダムロジック回路のノーマルモード時およびスリープモード時に、オン状態となっている。図1では、ランダムロジック回路の一部を示したが、その他のフリップフロップ回路やロジック回路が設けられている。

【0030】図2は、図1に示したフリップフロップ回路7～12、16～21、25～30および34～39の構成を示した図である。40～41、44、46～47、51、53～54、57は、それぞれPMOSトランジスタ、42～43、45、48～49、52、55～56、58は、それぞれNMOSトランジスタである。フリップフロップ回路は、入力部、前段のラッチ部、後段のラッチ部、そして出力部から構成される。入力部は、PMOSトランジスタ40、41およびNMOSトランジスタ42、43から成るインバータ回路で構成される。前段のラッチ部は、PMOSトランジスタ44およびNMOSトランジスタ45から成るインバータ回路とPMOSトランジスタ46、47およびNMOSトランジスタ48、49から成るインバータ回路とから構成される。後段のラッチ部は、PMOSトランジスタ51、52から成るインバータ回路とPMOSトランジスタ53、54およびNMOSトランジスタ55、56から成るインバータ回路とから構成される。出力部は、PMOSトランジスタ57およびNMOSトランジスタ58から成るインバータ回路で構成される。

【0031】前段のラッチ部と後段のラッチ部とは、トランスファークゲート50で分離されている。トランスファークゲート50は、制御信号であるTG2信号とTG2B信号とによって制御される。TG1信号およびTG1B信号は、制御回路（図示しない）に入力される基本クロック信号（図示しない）に同期して、制御回路により生成される信号である。TG1B信号は、TG1信号の反転信号である。TG2信号およびTG2B信号もま

た、上記の基本クロック信号に同期して、制御回路により生成される信号である。TG2B信号は、TG2信号の反転信号である。TG1信号、TG1B信号、TG2信号、TG2B信号により、各トランジスタが制御される。TG1信号、TG1B信号、TG2信号、TG2B信号は、ノーマルモード時には、VCCレベルまたはVSSレベルに設定される。制御回路は、ランダムロジック回路と同一のボードに搭載されており、ランダムロジック回路を制御する。

【0032】59、60はレベル変換回路である。レベル変換回路59は、上述の制御回路あるいはランダムロジック回路に設けられ、ノーマルモード時には、制御回路から出力されたVCCレベルまたはVSSレベルのTG2信号を、トランスファークゲート50および後段のラッチ部に出力する。レベル変換回路60は、上述の制御回路あるいはランダムロジック回路に設けられ、ノーマルモード時には、制御回路から出力されたTG2信号を反転させたVSSレベルまたはVCCレベルのTG2B信号を、トランスファークゲート50および後段のラッチ部に出力する。トランスファークゲート50のオンにより、前段のラッチ部から後段のラッチ部へ、データが伝達する。

【0033】レベル変換回路59、60は、ノーマルモード時には、上述したとおりの電位のTG2信号およびTG2B信号を、トランスファークゲート50と後段のラッチ部と出力するが、スリープモード時には、レベル変換回路59は、VSSレベルに対して低い電圧を生成し、レベル変換回路60は、VCCレベルに対して高い電圧を生成する。スリープモード時に、レベル変換回路59は、制御回路内で生成されたスリープモード検知信号（図示しない）に基づき、TG2信号のレベルを変換する。また、スリープモード時に、レベル変換回路60は、上述のスリープモード検知信号に基づき、TG2B信号のレベルを変換する。レベル変換回路59、60には、トランスファークゲート50に印加する各負電位が、制御回路あるいは外部から、それぞれ供給されており、スリープモード時に、スリープモード検知信号により、各負電位が選択されて出力される。スリープモードとは、例えば、ランダムロジック回路に、一定時間以上、データが入力されない場合、ランダムロジック回路の消費電流の低減のために、上述した制御回路が、スリープモード検知信号を生成して、ランダムロジック回路を待機状態にさせることである。制御回路は、タイマー回路を用いることにより、一定時間をカウントすることができる。電源VCC0は、制御回路から供給されるが、スリープモード時には、制御回路によりオフ状態になる。電源VCC1も制御回路から供給される。

【0034】ノーマルモード時には、TG1B信号はVSSレベル、TG1信号はVCCレベルとなり、入力部にデータが入力され、更に、前段のラッチ部に入力され

る。この時、TG2B信号はVCCレベル、TG2信号はVSSレベルである。次に、TG2B信号はVSSレベル、TG2信号はVCCレベルとなり、TG1B信号はVCCレベル、TG1信号はVSSレベルとなることで、前段のラッチ部にデータが保持されると共に、そのデータが、トランスファークロップ50を介して、後段のラッチ部に入力される。後段のラッチ部に入力されたデータは、出力部を介して、出力される。次のサイクルで、TG2B信号はVCCレベル、TG2信号はVSSレベルとなり、後段のラッチ部に入力されたデータが保持される。TG1B信号はVSSレベル、TG1信号はVCCレベルである。

【0035】スリープモード時には、入力部、前段のラッチ部、そして出力部に供給される電源VCC0はオフされる。スリープモード時のデータ保持は、後段のラッチ部によって行われる。レベル変換回路59によって、VSSレベルに対して低い電圧が生成され、レベル変換回路60によって、VCCレベルに対して高い電圧が生成され、各負電圧が、トランスファークロップ50に印加される。トランスファークロップ50のNMOSTランジスタとPMOSTランジスタに、それぞれ負電圧が印加されるので、前段のラッチ部と後段のラッチ部との間で発生するサブスレッショルドリーク電流が防止される。

【0036】スリープモードから抜け出すには、制御回路により、オフさせていた電源VCC0をオンさせるだけ良く、スリープモード前の動作の継続が可能である。なお、トランスファークロップ50は、低電源電圧でも動作可能なように、低いしきい値電位を用いる。後段のラッチ部の各トランジスタは、サブスレッショルドリーク電流を防止し、ランダム情報を確実に保持するために、入力部、前段のラッチ部、トランスファークロップ50および出力部のトランジスタに比べて、高いしきい値電位を用いる。

【0037】以上のように、この発明の実施の形態1に係るランダムロジック回路においては、スリープモード時に、電源VCC0をオフすることにより、それぞれのトランジスタで発生していたサブスレッショルドリーク電流を防止することができる。また、バルーン回路を追加しなくても、スリープモード時に、トランスファークロップ50の各ゲートに、それぞれ負電位を印加させるだけで、後段のラッチ部にデータを確実に保持することができ、更に、データを保持する後段のラッチ部と電源をオフさせた前段のラッチ部との間のサブスレッショルドリーク電流を防止できる。

【0038】実施の形態2。図3は、この発明の実施の形態2であるフリップフロップ回路の構成を示した図である。実施の形態1との構成の違いは、後段のラッチ部が、差動増幅器で構成されている点と、レベル変換回路によるTG2信号およびTG2B信号の電位の変換が行われない点とである。61、62は、トランスファークロ

ロップであり、TG2信号およびTG2B信号により、オンあるいはオフされる。63、64は、NMOSTランジスタであり、トランスファークロップ61、62を介して入力される相補信号/AおよびAが、それぞれのゲートに印加される。65、66は、PMOSTランジスタ、67、68はNMOSTランジスタであり、これらのトランジスタ65~68により、差動増幅器が形成される。差動増幅器は、後段のラッチ部として動作する。スリープモード時には、入力部、前段のラッチ部、出力部は、それぞれ電源VCC0がオフされるので、内部回路系でのサブスレッショルドリーク電流は発生しないが、唯一、後段のラッチ部には、電解が印加されるため、その素子は、サブスレッショルドリーク電流の発生が小さいトランジスタ65~68（しきい値電位の高いトランジスタやSOIトランジスタ等）で構成される。実施の形態1と同様に、入力部は、トランジスタ40~43で構成され、前段のラッチ部は、トランジスタ44~49で構成され、さらに、出力部は、トランジスタ57、58で構成される。トランジスタ57、58の各ゲートは、実施の形態2では、トランジスタ63のドレイン側に接続されている。

【0039】外部からのデータは、入力端子D、入力部、前段のラッチ部、後段のラッチ部、そして出力部に伝達され、出力端子Qから、次のロジック回路へ出力される。入力端子Dに入力されたデータは、まず、TG1信号がVCCレベル、TG1B信号がVSSレベルになり（TG2信号はVSSレベル、TG2B信号はVCCレベル）、入力部および前段のラッチ部に出力される。そして、TG2信号がVCCレベル、TG2B信号がVSSレベル（TG1信号はVSSレベル、TG1B信号はVCCレベル）になり、データが、前段のラッチ部に保持されると共に、トランスファークロップ61、62がオン状態となり、データが後段のラッチ部に入力する。入力部から出力されるデータAは、入力端子Dに入力されたデータの反転信号である。データAは、トランスファークロップ62を介して、トランジスタ64のゲートに印加される。データ/Aは、データAの反転信号であり、トランスファークロップ61を介して、トランジスタ63のゲートに印加される。

【0040】次に、ランダムロジック回路のノーマルモード時およびスリープモード時における後段のラッチ部の動作について説明する。図4は、後段のラッチ部の動作を示したタイミングチャート図である。まず、ノーマルモード時について説明する。ES信号およびNS信号は、共にVssレベルが供給されているが、NS信号の電位をコモンソース電位にするNMOSTランジスタ67、68が、高いしきい値電位のために駆動力が低いので、ES信号の電位をコモンソース電位にして、前段のラッチ部からのデータを受けるNMOSTランジスタ63、64が、後段のラッチの極性を決定する。PS信号

のレベルは、VCCレベルであるので、後段のラッチ部は、VCCレベルとVSSレベルの電位の間で決まるラッチ動作で、データを発生して出力する。TG2信号がVCCレベル、TG2B信号がVSSレベル（TG1信号はVSSレベル、TG1B信号はVCCレベル）になり、トランスファークゲート61、62がオン状態となり、データAがトランジスタ64のゲートに印加され、データ/Aがトランジスタ63のゲートに印加される。図4に示されているように、データAがVCCレベル、データ/AがVSSレベルの場合、トランジスタ63は

オフ状態、トランジスタ64はオン状態となり、データB（トランジスタ63のドレイン側）はVCCレベル、データ/B（トランジスタ64のドレイン側）はVSSレベルとなる。データB（VCCレベル）が、出力部で反転して、VSSレベルの出力信号が出力される。
 【0041】次に、スリープモード時について説明する。入力部、前段のラッチ部、そして、出力部に供給される電源VCC0は、オフ状態になる。実施の形態1と同様に、制御回路からのTG1信号、TG1B信号、TG2信号、そしてTG2B信号もオフ状態となる。スリープモード時のデータの保持は、実施の形態1と同様に、後段のラッチ部で行われる。図4で示されたように、データAがVSSレベル、データ/AがVCCレベル、データBがVSSレベル、データ/BがVCCレベルである時に、スリープモードに入った場合について説明する。トランジスタ66、67がオン状態、トランジスタ65、68がオフ状態である。トランスファークゲート61、62は、制御回路からTG2信号およびTG2B信号が供給されず、それぞれオフ状態となる。トランジスタ63のゲートにはVCCレベルが印加されているが、トランスファークゲート61は、デバイスの特徴から、サブスショルドリーク電流が発生し、トランジスタ63のゲートから前段のラッチ部に向けて、サブスショルドリーク電流が発生する。そのサブスショルドリーク電流の影響で、トランジスタ63のゲートは、VSSレベルまで低下する。トランジスタ63のゲートは、VSSレベルへの低下の影響で、トランジスタ63のドレイン側からソース側（ES端子側）へ、サブスショルドリーク電流が流れる。NS端子とES端子とは、この段階では、VSSレベルである。このサブスショルドリーク電流を低減させるために、トランジスタ63のソース側の電圧をゲート電圧（VSS）よりも高く設定する。ES端子の電圧をVCCレベルまで上昇させる。更に、トランジスタ63のソース側からドレイン側へのサブスショルドリーク電流も発生するので、NS端子の電圧をゲート電圧（VSS）よりも高く設定する。例えば、ラッチ電圧を確保できる最低電圧、例えば、VSSよりもポテンシャルの高い電圧とVCCとの間の電圧に設定することで、ゲート電圧よりもドレイン電圧が高くなり、サブスショルドリーク電流が低減される。PS端子も、ラ

ッチ電圧を確保できるように、昇圧したNS端子の電圧に基づいて、VCCレベルよりも高いVCC1レベルに設定される。なお、データAとデータ/Aのレベルが、上述と逆の場合でも、同様に、NS端子、ES端子およびPS端子の電圧を制御することで、トランジスタ64のサブスショルドリーク電流が低減される。スリープモードから抜け出すには、オフさせていた電源VCC0をオンさせるだけで、スリープモード前からの回路動作上の継続が可能である。

【0042】図5は、PS端子の電圧を制御する電圧制御回路の構成を示す図である。69、70はトランスファークゲート、71はオペアンプ回路である。実施の形態1で述べた制御回路からのスリープモード検知信号（SLP信号および/SLP信号）に基づいて、予め設定された電圧Vref1あるいはVref2のどちらか一方をPS端子に供給する。Vref1はVCCレベルであり、Vref2はVCC1レベルである。図6は、NS端子の電圧を制御する電圧制御回路の構成を示す図である。72はオペアンプ回路、73はNMOSTランジスタである。NMOSTランジスタ73は、ゲートにSLP信号の反転である/SLP信号が印加される。ノーマルモード時には、VSSレベルをNS端子に供給し、スリープモード時には、予め設定された電圧Vref3をNS端子に供給する。図7は、ES端子の電圧を制御する電圧制御回路の構成を示す図である。74はオペアンプ回路、75はNMOSTランジスタである。NMOSTランジスタ75は、ゲートにSLP信号の反転である/SLP信号が印加される。ノーマルモード時には、VSSレベルをES端子に供給し、スリープモード時には、予め設定された電圧Vref4をES端子に供給する。各電位制御回路は、制御回路あるいはランダムロジック回路に設けられている。

【0043】以上のように、実施の形態2においては、後段のラッチ部が、前段のラッチ部からのデータAおよびデータ/Aをトランジスタ64、63のそれぞれゲートで受ける構成であるので、スリープモード時に、後段のラッチ部と電源をオフさせた前段のラッチ部との間で発生するサブスショルドリーク電流を防止することができる。また、バルーン回路を追加しなくても、スリープモード時に、NS端子とES端子の電圧をある程度高い電位に設定することで、後段のラッチ部で確実にデータを保持でき、更に、トランジスタ63、64のサブスレッシュショルドリーク電流を防止できる。更にまた、スリープモード時に、入力部、前段のラッチ部、出力部の電源VCC0をオフすることにより、それぞれのトランジスタで発生していたサブスレッシュショルドリーク電流を防止することができる。

【0044】実施の形態3. 図8は、この発明の実施の形態3のランダムロジック回路の構成を示す図である。図において、76～81は、バッファ回路、82～8

7、91~96、100~105、109~114は、フリップフロップ回路である。フリップフロップ回路は、F/Fで示されている。88~90、97~99、106~108は、バストラジスタロジック回路である。外部からの入力信号(データ)は、バッファ回路76~81、フリップフロップ回路82~87、バストラジスタロジック回路88~90、フリップフロップ回路91~96、バストラジスタロジック回路97~99、フリップフロップ回路100~105、バストラジスタロジック回路106~108、そして、フリップフロップ回路109~114の順に、処理される。各フリップフロップ回路は、入力されたデータを保持して、次に接続されているバストラジスタロジック回路へ出力する。各フリップフロップ回路は、図示されているように、次のデータ処理に必要なバストラジスタロジック回路へ接続されている。

【0045】図9は、図8に示されたバストラジスタロジック回路とフリップフロップ回路との構成を示した図である。実施の形態3においては、実施の形態1や実施の形態2の回路構成と異なり、バストラジスタロジック回路が使用され、更に、フリップフロップ回路の前段のラッチ部も差動増幅器で構成されている。バストラジスタロジック回路は、処理の高速化を図るために使用され、NMOSTランジスタで構成される。図9において、115~116は、インバータ回路、117~124は、バストラジスタロジック回路を構成するNMOSTランジスタ、125~126は、TG1信号で制御されるNMOSTランジスタ、127~128は、NMOSTランジスタ、129~130は、PMOSTランジスタ、131~132は、NMOSTランジスタ、133~134は、TG2信号で制御されるNMOSTランジスタ、135~136は、NMOSTランジスタ、137~138は、PMOSTランジスタ、139~140は、NMOSTランジスタ、141~142は、インバータ回路である。

【0046】ノーマルモード時の動作について説明する。バストラジスタロジック回路は、インバータ回路115、116を介して、相補的なデータを受け取る。各データは、NMOSTランジスタ117~124で構成されるバストラジスタロジック回路を通り、それぞれデータDおよびデータ/Dとして、出力される。TG1信号がVCCレベルの時(TG2信号はVSSレベル)に、NMOSTランジスタ125、126がオン状態となり、データDは、NMOSTランジスタ128のゲートに印加され、データ/Dは、NMOSTランジスタ127のゲートに印加される。前段のラッチ部の差動増幅器の動作は、実施の形態2の差動増幅器と同様の動作である。前段のラッチ部で保持されたデータは、相補的なデータとして、TG2信号がVCCレベルの時(TG1信号がVSSレベル)に、NMOSTランジスタ1

33、134を介して、NMOSTランジスタ135、136の各ゲートに印加される。後段のラッチ部の差動増幅器の動作は、実施の形態2と同様である。後段のラッチ部で保持されたデータは、相補的なデータ(Qおよび/Q)として、それぞれインバータ回路141、142を介して、次のバストラジスタロジック回路に出力される。TG1信号とTG2信号は、相補的な信号であり、これらの信号の制御により、前段のラッチ部へのデータの入力と保持、前段のラッチ部から後段のラッチ部へのデータの出力、保持、そして出力の動作が実施される。TG1信号とTG2信号は、実施の形態1、2と同様に制御回路により生成される。

【0047】次に、スリープモード時の動作について説明する。バストラジスタロジック回路、TG1信号、TG2信号は、制御回路により、オフされる。NMOSTランジスタ125、126、133、134は、TG1信号、TG2信号のオフにより、それぞれオフ状態となる。データは、前段のラッチ部と後段のラッチ部にそれぞれ保持される。実施の形態2と同様に、前段のラッチ部および後段のラッチ部に設けられたNS端子、ES端子およびPS端子は、図5ないし図7で示された各電圧制御回路によって、ノーマルモード時の電圧よりも昇圧する。

【0048】以上のように、実施の形態3に係るランダムロジック回路においては、バストラジスタロジック回路からの各データを前段のラッチ部のランジスタ127、128の各ゲートで受けているので、スリープモード時における前段のラッチ部とバストラジスタロジック回路との間で発生するサブスレッショルドリーク電流を防止することができる。また、前段のラッチ部からの各データを後段のラッチ部のランジスタ135、136の各ゲートで受けているので、スリープモード時における後段のラッチ部と前段のラッチ部との間で発生するサブスレッショルドリーク電流を防止することができる。また、スリープモード時に、ES端子とNS端子の電位を上昇させることによって、ランジスタ127、128、135、136で発生するサブスレッショルドリーク電流を防止することができる。また、上述したように、バストラジスタロジック回路と前段のラッチ部との間のサブスレッショルドリーク電流の発生が防げるので、バストラジスタロジック回路のしきい値電圧を非常に低くすることが可能となり、ランダムロジック回路の処理能力の向上が図れる。更にまた、バストラジスタロジック回路は、NMOSTランジスタを連続に接続した構成であるため、その出力端からは、駆動力の弱い状態の信号が、前段のラッチ部に出力されるが、前段のラッチ部によって十分に増幅されて、正確なデータを後段のラッチ部に伝えることができる。

【0049】

【発明の効果】以上のように、この発明によれば、バル

ーン回路の追加無しに、サブスレッショルドリーク電流防止回路を備えることにより、スリープモード時に、第2のラッチ部にデータを確実に保持することができ、電源をオフさせた第1のラッチ部と第2のラッチ部の間で発生するサブスレッショルドリーク電流を防止することができる。

【0050】また、スリープモード時に、入力部、第1のラッチ部、そして出力部に供給される電源をオフするので、それらの箇所でのサブスレッショルドリーク電流を防止することができる。

【0051】また、スリープモード時に、第1の差動増幅器と第1のラッチ部との間に接続された第2のトランジスタあるいは第3のトランジスタの各端子の電圧を制御することにより、第2のトランジスタあるいは第3のトランジスタで発生するサブスレッショルドリーク電流を防止することができる。

【0052】また、入力部をバストラジスタロジック回路、第1のラッチ部を第2の差動増幅器で構成し、バストラジスタロジック回路と第2の差動増幅器との間に第4のトランジスタあるいは第5のトランジスタを接続することにより、スリープモード時に、第2の差動増幅器にも確実にデータを確保することができ、第2の差動増幅器とバストラジスタロジック回路との間で発生するサブスレッショルドリーク電流を防止することができる。

【0053】更に、スリープモード時に、第4のトランジスタあるいは第5のトランジスタの各端子の電圧を制御することにより、第4のトランジスタあるいは第5のトランジスタで発生するサブスレッショルドリーク電流を防止することができる。

【0054】更にまた、バストラジスタロジック回路のしきい値電圧をより小さくすることができるので、ランダムロジック回路の処理能力の向上を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるランダムロジック回路の構成を示した図である。

【図2】 図1に示したフリップフロップ回路7～1 *

* 2、16～21、25～30および34～39の構成を示した図である。

【図3】 この発明の実施の形態2であるフリップフロップ回路の構成を示した図である。

【図4】 後段のラッチ部の動作を示したタイミングチャート図である。

【図5】 PS端子の電圧を制御する電圧制御回路の構成を示す図である。

【図6】 NS端子の電圧を制御する電圧制御回路の構成を示す図である。

【図7】 ES端子の電圧を制御する電圧制御回路の構成を示す図である。

【図8】 この発明の実施の形態3のランダムロジック回路の構成を示す図である。

【図9】 図8に示されたバストラジスタロジック回路とフリップフロップ回路との構成を示した図である。

【図10】 従来の階層システムを示した図である。

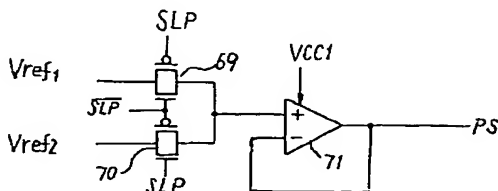
【図11】 従来のランダムロジックの構成を示した図である。

【図12】 図11のフリップフロップ回路の構成を示した図である。

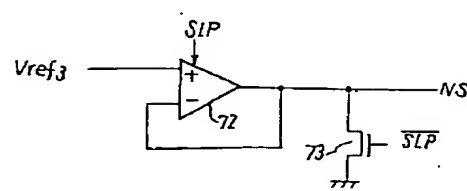
【符号の説明】

50 トランスファークロップ、59～60 レベル変換回路、61～62 トランスファークロップ、63～64 NMOSトランジスタ、65～66 PMOSトランジスタ、67～68 NMOSトランジスタ、69～70 トランスファークロップ、71～72 オペアンプ回路、73 NMOSトランジスタ、74 オペアンプ回路、75 NMOSトランジスタ、88～90 バストラジスタロジック回路、97～99 バストラジスタロジック回路、106～108 バストラジスタロジック回路、117～124 NMOSトランジスタ、125～128 NMOSトランジスタ、129～130 PMOSトランジスタ、131～132 NMOSトランジスタ、133～136 NMOSトランジスタ、137～138 PMOSトランジスタ、139～140 NMOSトランジスタ。

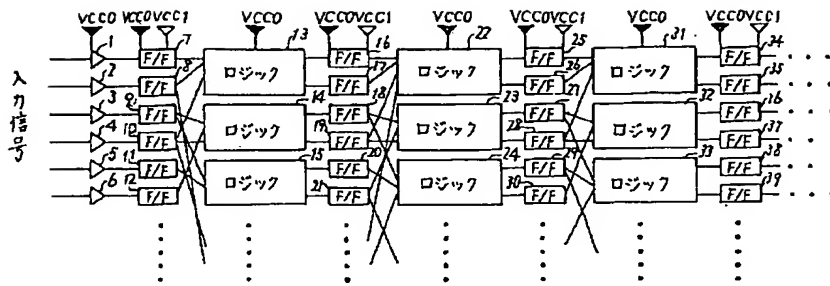
【図5】



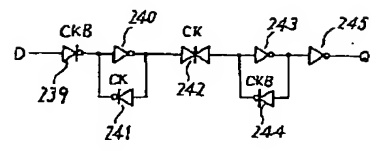
【図6】



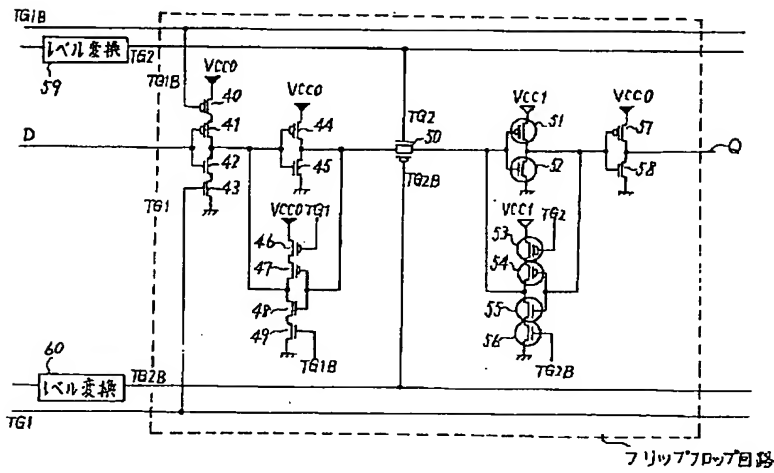
【図1】



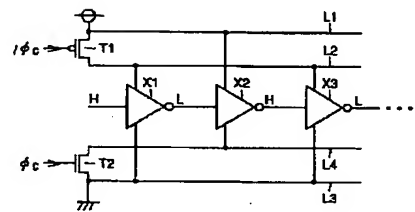
【図12】



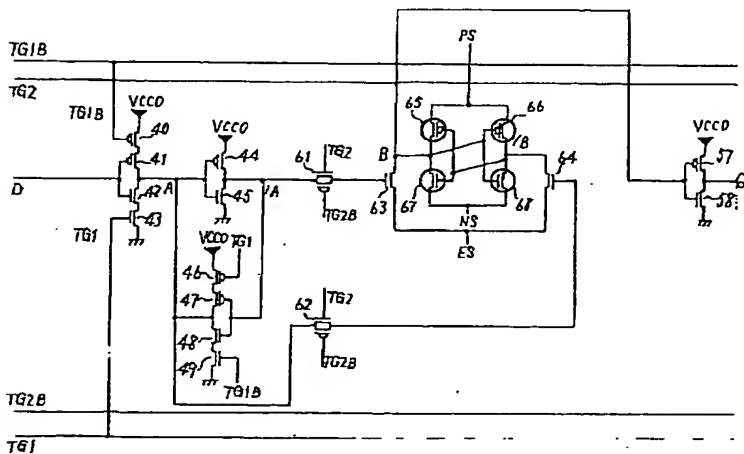
【図2】



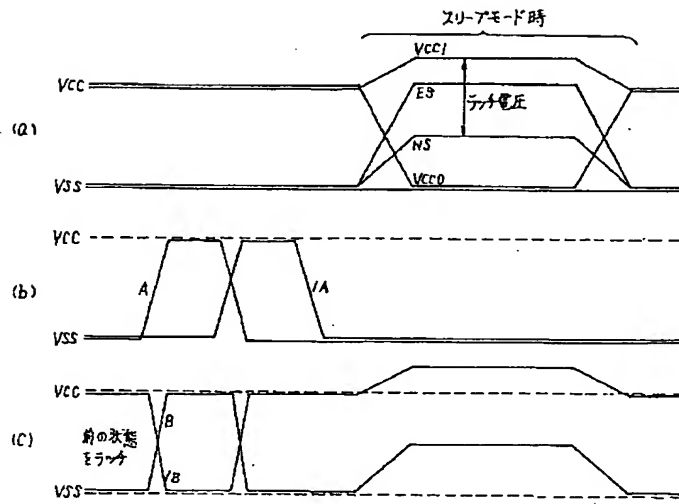
【図10】



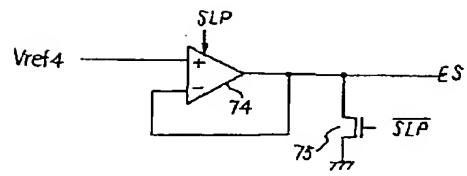
【図3】



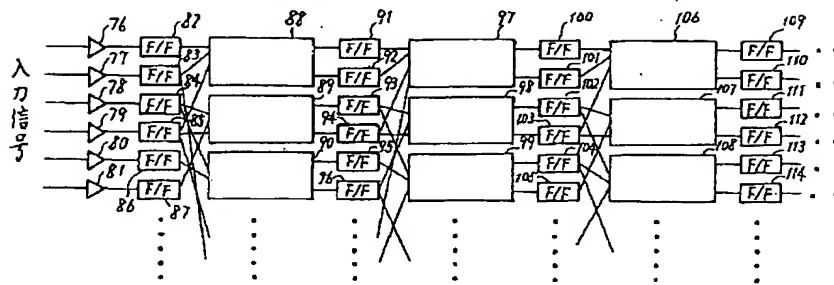
【図4】



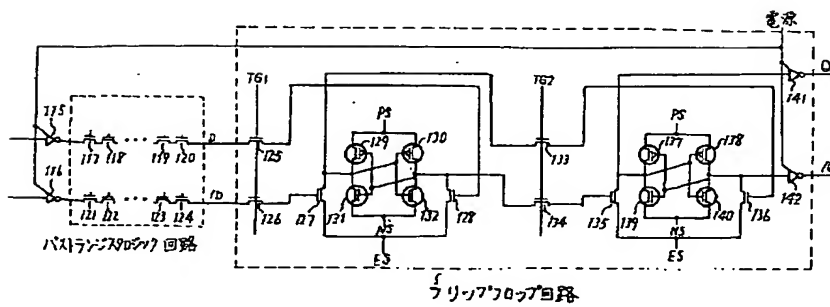
【図7】



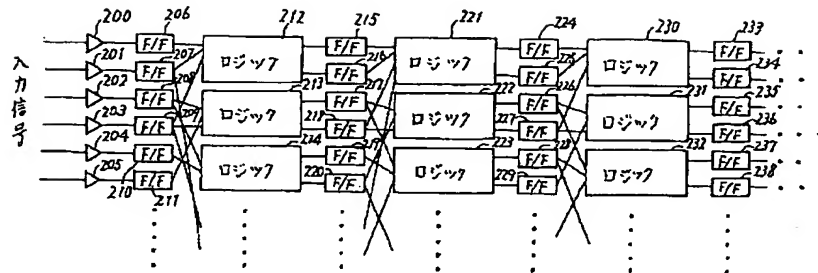
【図8】



【図9】



【図11】



フロントページの続き

F ターム(参考) 5J042 AA10 BA01 BA19 CA09 CA11
 CA14 CA27 CA28 DA00 DA02
 5J056 AA03 BB17 BB18 BB49 CC00
 CC10 CC14 CC21 DD13 DD28
 DD29 DD43 EE11 FF10 GG14
 KK01